

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-058097

(43)Date of publication of application : 28.02.2003

(51)Int.Cl.

G09G 3/20
G02F 1/133
G09G 3/30
G09G 3/36
H01L 29/786
H03K 19/0175

(21)Application number : 2001-243984

(71)Applicant : SEMICONDUCTOR ENERGY LAB
CO LTD

(22)Date of filing : 10.08.2001

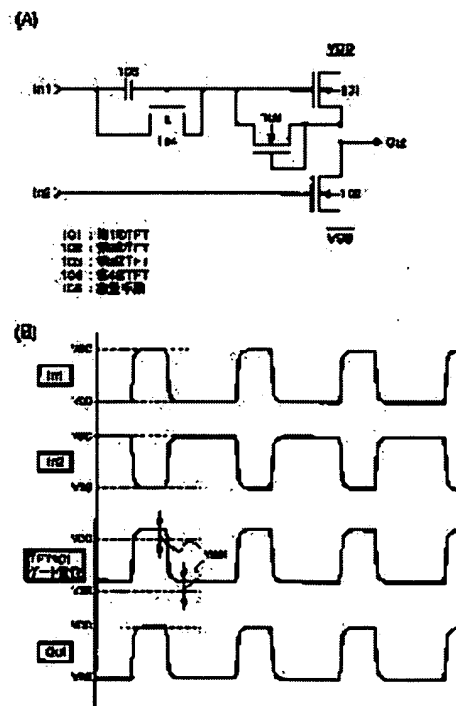
(72)Inventor : KIMURA HAJIME

(54) DISPLAY DEVICE AND DRIVING CIRCUIT THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To solve such a problem that the output amplitude has been attenuated by a threshold of a TFT when configuring a circuit of unipolar TFTs.

SOLUTION: A capacitance means 105 holds electric charges equal to the threshold value of a TFT 104, and when a signal is inputted, the gate electrode of a TFT 101 is applied with a sum of the potentials of the input signal and the threshold value held by the capacitance means 105. Therefore, a normal amplitude output can be obtained from an output terminal (Out) without occurrence of the amplitude attenuation in the TFT 101.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

拒絶引用S 04 P 16 22W000

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-58097

(P2003-58097A)

(43) 公開日 平成15年2月28日 (2003.2.28)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B 2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/30		G 0 9 G 3/30	Z 5 C 0 8 0
3/36		3/36	5 F 1 1 0
H 0 1 L 29/786		H 0 3 K 19/00	1 0 1 F 5 J 0 5 6

審査請求 未請求 請求項の数10 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2001-243984(P2001-243984)

(22) 出願日 平成13年8月10日 (2001.8.10)

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 木村 肇

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

最終頁に続く

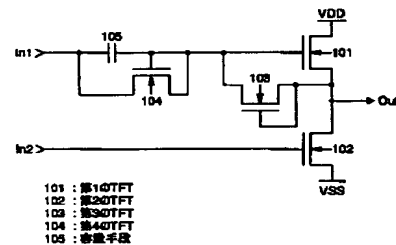
(54) 【発明の名称】 表示装置および表示装置の駆動回路

(57) 【要約】

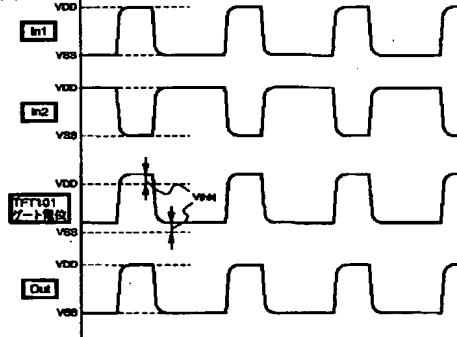
【課題】 単極性のTFTによって回路を構成する際、TFTのしきい値によって出力振幅が減衰するという問題があった。

【解決手段】 容量手段105において、TFT104のしきい値に等しい電荷を保持し、信号の入力があったとき、TFT101のゲート電極には、入力信号の電位に容量手段105に保持されているしきい値を加えた電位が与えられる。よって、TFT101における振幅減衰が生ずることなく、出力端子(Out)からは正常な振幅の出力を得ることが出来る。

(A)



(B)



【特許請求の範囲】

【請求項 1】第 1 乃至第 4 のトランジスタと、容量手段とを有する表示装置の駆動回路であって、

前記第 1 乃至第 4 のトランジスタはいずれも同一導電型であり、

前記容量手段の第 1 の電極は、第 1 の信号入力端子と電氣的に接続され、第 2 の電極は前記第 1 のトランジスタのゲート電極と電氣的に接続され、

前記第 2 のトランジスタのゲート電極は、第 2 の信号入力端子と電氣的に接続され、

前記第 1 のトランジスタの入力電極は、第 1 の電源と電氣的に接続され、出力電極は、信号出力端子と電氣的に接続され、

前記第 2 のトランジスタの入力電極は、第 2 の電源と電氣的に接続され、出力電極は、前記信号出力端子と電氣的に接続され、

前記第 3 のトランジスタのゲート電極と出力電極とは、いずれも前記信号出力端子と電氣的に接続され、入力電極は、前記容量手段の第 2 の電極と電氣的に接続され、

前記第 4 のトランジスタのゲート電極と出力電極とは、いずれも前記容量手段の第 2 の電極と電氣的に接続され、入力電極は、前記容量手段の第 1 の電極と電氣的に接続されていることを特徴とする表示装置の駆動回路。

【請求項 2】第 1 乃至第 4 のトランジスタと、容量手段とを有する表示装置の駆動回路であって、

前記第 1 乃至第 4 のトランジスタはいずれも同一導電型であり、

前記容量手段の第 1 の電極は、第 1 の信号入力端子と電氣的に接続され、第 2 の電極は前記第 1 のトランジスタのゲート電極と電氣的に接続され、

前記第 2 のトランジスタのゲート電極は、第 2 の信号入力端子と電氣的に接続され、

前記第 1 のトランジスタの入力電極は、第 1 の電源と電氣的に接続され、出力電極は、信号出力端子と電氣的に接続され、

前記第 2 のトランジスタの入力電極は、第 2 の電源と電氣的に接続され、出力電極は、前記信号出力端子と電氣的に接続され、

前記第 3 のトランジスタのゲート電極と出力電極とは、いずれも前記信号出力端子と電氣的に接続され、入力電極は、前記容量手段の第 2 の電極と電氣的に接続され、

前記第 4 のトランジスタのゲート電極は、前記容量手段の第 2 の電極と電氣的に接続され、入力電極は、前記容量手段の第 1 の電極と電氣的に接続され、出力電極は、前記信号出力端子と電氣的に接続されていることを特徴とする表示装置の駆動回路。

【請求項 3】請求項 1 もしくは請求項 2 において、前記容量手段は、前記第 1 の信号入力端子より入力され、前記第 1 のトランジスタのゲート電極に入力される信号に、前記容量手段にて保持されている電圧を加える

機能を有することを特徴とする表示装置の駆動回路。

【請求項 4】請求項 1 乃至請求項 3 のいずれか 1 項において、

前記導電型とは、N チャネル型であることを特徴とする表示装置の駆動回路。

【請求項 5】請求項 1 乃至請求項 3 のいずれか 1 項において、

前記導電型とは、P チャネル型であることを特徴とする表示装置の駆動回路。

10 【請求項 6】請求項 1 乃至請求項 5 のいずれか 1 項において、

前記容量手段は、前記第 4 のトランジスタのゲート電極と入力電極との間の容量を用いてなる容量手段であることを特徴とする表示装置の駆動回路。

【請求項 7】請求項 1 乃至請求項 5 のいずれか 1 項において、

前記容量手段は、活性層材料、ゲート電極を形成する材料、配線材料のうちいずれか 2 つと、前記 2 材料間の絶縁層とを用いてなる容量手段であることを特徴とする表示装置の駆動回路。

20 【請求項 8】請求項 1 乃至請求項 7 のいずれか 1 項において、

前記第 2 の信号入力端子に入力される信号は、前記第 1 の信号入力端子に入力される信号に対し、極性が反転した信号であることを特徴とする表示装置の駆動回路。

【請求項 9】請求項 1 乃至請求項 8 のいずれか 1 項に記載の表示装置の駆動回路を用いてなることを特徴とする表示装置。

30 【請求項 10】請求項 9 に記載の表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示装置およびその駆動回路に関する。なお本明細書中、表示装置とは、画素に液晶素子を用いてなる液晶表示装置および、エレクトロルミネッセンス(EL)素子を始めとした発光素子を用いてなる発光装置を含むものとする。表示装置の駆動回路とは、表示装置に配置された画素に映像信号を入力し、映像の表示を行うための処理を行う回路を指し、シフトレジスタ回路、ラッチ回路、バッファ回路、レベルシフト回路等を始めとするパルス出力回路や、アンプ等を始めとする増幅回路を含むものとする。

【0002】

【従来の技術】近年、ガラス基板等の絶縁体上に半導体薄膜を形成した表示装置、特に薄膜トランジスタ(以下、TFTと表記)を用いた電子回路が各分野で使用されている。特に、表示装置において使用されることが多く、LCD(液晶ディスプレイ)を始めとするアクティブマトリクス型表示装置は、多くの製品に利用され、普及している。TFTを使用したアクティブマトリクス型表

示装置は、マトリクス状に配置された数十万から数百万の画素を有し、各画素に配置されたTFTによって各画素の電荷を制御することによって映像の表示を行っている。

【0003】さらに最近の技術として、画素を構成する画素TFTの他に、画素部の周辺領域にTFTを用いて駆動回路を基板上に同時形成するポリシリコンTFTに関する技術が発展してきており、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル情報端末の表示部等に、表示装置は不可欠なデバイスとなってきた。

【0004】

【発明が解決しようとする課題】

【0005】ところで、表示装置は、近年様々な電子機器の表示部に採用され、その利用分野は拡大の一途を辿っている。最近では比較的安価な電子機器にも積極的に採用されているため、さらなるコストダウンが望まれる。

【0006】一般的に、表示装置の駆動回路を構成する回路としては、Nチャネル型TFTとPチャネル型TFTを組み合わせたCMOS回路が使用されているが、表示装置は、成膜→フォトリソによる露光→エッチングという工程を繰り返すことによって、多層構造を成すため、その工程は大変に複雑であることが製造コストの上昇を招いている。さらに、前述のように基板上に駆動回路および画素部を一体形成する場合、一部の不具合が製品全体の不具合となる点においても、歩留まりに大きく影響している。

【0007】製造コスト低減の方法の1つとしては、工程を可能な限り削減し、簡単かつ短期間で作製できるものとするのが挙げられる。そこで、駆動回路の構成をCMOS構成ではなく、Nチャネル型TFTもしくはPチャネル型TFTのいずれか単一極性のTFTを用いた構成とし、表示装置を作製する。これによって、半導体層に導電性を付与する不純物添加の工程を、単純には1/2とすることが出来、さらにフォトリソの枚数を減らすことも出来るため、大変に有効である。しかも、製造工程が簡単になるため、歩留まり向上にも寄与する。

【0008】図2は、Nチャネル型TFT2個によって構成したインバータの例である。TFT201および202のゲート電極に信号が入力される2入力型であり、一方の入力信号の反転信号が他方の入力となる。

【0009】ここで、図2に示したインバータの動作について簡単に説明する。なお、本明細書においては、回路の構成や動作を説明する際に、TFTの3電極の名称を「ゲート電極、入力電極、出力電極」と、「ゲート電極、ソース領域、ドレイン領域」とを使い分けている。これは、TFTの動作を説明する際に、ゲート・ソース間電圧を考える場合が多いが、TFTのソース領域とド

レイン領域とは、TFTの構造上、明確に区別することが難しいため、名称を統一することで逆に混同を生じる恐れがあるためである。信号の入出力を説明する際には、入力電極、出力電極と呼び、TFTのゲート・ソース間電位等について説明する際は、入力電極と出力電極のうちいずれか一方をソース領域、他方をドレイン領域と呼ぶこととする。

【0010】また、TFTがONしているとは、TFTのゲート・ソース間電圧がしきい値電圧を上回り、ソース・ドレイン間を電流が流れる状態をいい、OFFしているとは、TFTのゲート・ソース間電圧がしきい値電圧を下回り、ソース・ドレイン間を電流が流れない状態をいう。しきい値に関しては、説明を簡単にするため、個々のTFT間でのばらつきはないものとし、Nチャネル型TFTのしきい値は一律 V_{thN} 、Pチャネル型TFTのしきい値は一律 V_{thP} とする。

【0011】まず、入力端子(In)にHレベルが入力され、反転入力端子(Inb)にLレベルが入力されると、TFT201がOFFし、TFT202がONする。従って出力端子(Out)には、Lレベルが現れ、その電位はVSSとなる。一方、入力端子(In)にLレベルが入力され、反転入力端子(Inb)にHレベルが入力されると、TFT201がONし、TFT202がOFFする。従って出力端子(Out)には、Hレベルが現れる。

【0012】このとき、出力端子(Out)がHレベルとなるときの電位について考える。

【0013】図2において、TFT201のゲート電極にHレベルが入力されているとき、TFT202のゲート電極にはLレベルが入力される。よって、TFT201がONし、TFT202はOFFする。よって、出力端子(Out)の電位は上昇を始めるが、出力端子(Out)の電位が $(V_{DD} - V_{thN})$ となったところで、TFT201のゲート・ソース間電圧はしきい値 V_{thN} に等しくなる。つまりこの瞬間、TFT201がOFFするため、これ以上出力端子(Out)の電位が上昇することが出来ない。

【0014】図12に示すように、インバータを複数段接続する場合を考える。図12(A)において、初段のインバータ(In v A)のみ、図12(B)に示すような1入力1出力型であり、以後のインバータ(In v B)は、図12(C)に示すように2入力1出力型である。なお、TFT1201のゲート電極は、高電位側電源VDDと接続され、TFT1201のゲート・ソース間電圧がしきい値を下回らない限りはONし続けているため、TFT1202がONしたとしても、出力は完全にVSSに等しくはならないが、TFT1202の電流能力を、TFT1201の電流能力よりも十分に大きくしておくことにより、Lレベルを出力させることが出来る。

【0015】このような場合、入力信号の振幅がVDD - VSS間であったとしても、TFT1201、121

1のしきい値の影響により、図12(D)に示すように、段を重ねるごとに振幅が減衰していく。

【0016】そこで本発明では、単極性のTFTにより構成され、かつ前述のように出力信号の振幅減衰を生ずることなく動作の可能な回路を提案するものである。

【0017】

【課題を解決するための手段】上述した課題を解決するために、本発明においては以下のような手段を講じた。

【0018】図2に示したインバータにおいて、出力振幅の減衰が生ずる原因は、入力端子(In)にLレベル、反転入力端子(Inb)にHレベルが入力されたとき、TFT201のゲート電極に印加される電位が、TFT201の入力電極側の電位、すなわち高電位側電源VDDに等しいため、出力端子(Out)の電位が最大で(VDD-VthN)までしか上昇し得ない点にある。

【0019】つまり、出力端子(Out)にHレベルが現れるとき、その電位がVDDに等しくなるには、TFT201のゲート電極の電位がVDDより高くなっている、正確には(VDD+VthN)以上である必要がある。

【0020】そこで本発明においては、容量手段を用いてTFT201のしきい値電圧分の電荷をあらかじめ保持し、入力信号に上乗せすることによって、TFT201のゲート電極の電位を(VDD+VthN)まで持ち上げることによって解決する。

【0021】本発明の表示装置の駆動回路は、第1乃至第4のトランジスタと、容量手段とを有する表示装置の駆動回路であって、前記第1乃至第4のトランジスタはいずれも同一導電型であり、前記容量手段の第1の電極は、第1の信号入力端子と電気的に接続され、第2の電極は前記第1のトランジスタのゲート電極と電気的に接続され、前記第2のトランジスタのゲート電極は、第2の信号入力端子と電気的に接続され、前記第1のトランジスタの入力電極は、第1の電源と電気的に接続され、出力電極は、信号出力端子と電気的に接続され、前記第2のトランジスタの入力電極は、第2の電源と電気的に接続され、出力電極は、前記信号出力端子と電気的に接続され、前記第3のトランジスタのゲート電極と出力電極とは、いずれも前記信号出力端子と電気的に接続され、入力電極は、前記容量手段の第2の電極と電気的に接続され、前記第4のトランジスタのゲート電極と出力電極とは、いずれも前記容量手段の第2の電極と電気的に接続され、入力電極は、前記容量手段の第1の電極と電気的に接続されていることを特徴としている。

【0022】本発明の表示装置の駆動回路は、第1乃至第4のトランジスタと、容量手段とを有する表示装置の駆動回路であって、前記第1乃至第4のトランジスタはいずれも同一導電型であり、前記容量手段の第1の電極は、第1の信号入力端子と電気的に接続され、第2の電極は前記第1のトランジスタのゲート電極と電気的に接

続され、前記第2のトランジスタのゲート電極は、第2の信号入力端子と電気的に接続され、前記第1のトランジスタの入力電極は、第1の電源と電気的に接続され、出力電極は、信号出力端子と電気的に接続され、前記第2のトランジスタの入力電極は、第2の電源と電気的に接続され、出力電極は、前記信号出力端子と電気的に接続され、前記第3のトランジスタのゲート電極と出力電極とは、いずれも前記信号出力端子と電気的に接続され、入力電極は、前記容量手段の第2の電極と電気的に接続され、前記第4のトランジスタのゲート電極は、前記容量手段の第2の電極と電気的に接続され、入力電極は、前記容量手段の第1の電極と電気的に接続され、出力電極は、前記信号出力端子と電気的に接続されていることを特徴としている。

【0023】前記容量手段は、前記第4のトランジスタのしきい値電圧を保持する容量手段であり、前記第1の信号入力端子より入力される信号の電位に、前記保持している電圧を加えた電位が、前記第1のトランジスタのゲート電極に印加されることを特徴としている。これによって、第1のトランジスタのゲート・ソース間電圧は常にそのしきい値以上となり、振幅の減衰を生ずることなく、出力を得ることが出来る。

【0024】また、本発明の表示装置の駆動回路は、Nチャネル型トランジスタのみ、もしくはPチャネル型トランジスタといった、単極性のトランジスタによって構成されることを特徴とする。よって、表示装置の作製工程を簡略化することが出来る。

【0025】本発明の表示装置においては、前記容量手段は、前記第4のトランジスタのゲート電極と入力電極との間の容量を用いてなる容量手段であっても良い。あるいは、活性層材料、ゲート電極を形成する材料、配線材料のうちいずれか2つと、前記2材料間の絶縁層とを用いてなる容量手段であっても良い。

【0026】本発明の表示装置においては、前記第2の信号入力端子に入力される信号は、前記第1の信号入力端子に入力される信号に対し、極性が反転した信号であることを特徴としている。これにより、出力端子に現れる信号がHレベルであっても、Lレベルであっても、回路内に電流バスが生じないため、消費電流を少なくすることが出来る。

【0027】

【発明の実施の形態】図1(A)に、本発明の基本回路構成を示す。回路は、図2に示したインバータと同様の動作を行うもので、2入力1出力型であり、入力端子(In)に入力された信号の極性が反転した信号が出力端子(Out)に現れる。

【0028】回路は、TFT101～104および容量手段105によって構成されている。

【0029】回路の動作について説明する。図3(A)(B)に、動作時の各ノードにおける電位を示す。まず、

第1の入力端子(In1)にLレベルが、第2の入力端子(In2)にHレベルが入力されると、TFT102がONし、出力端子(Out)の電位がVSS側に引き下げられ始める。この時点では、出力端子(Out)の電位はLレベルまで下がりきっていないことから、TFT103はONしており、出力端子(Out)から容量手段105に向かって電流が生じ、TFT104のゲート電極の電位が上昇するため、TFT104もONする。さらに出力端子(Out)の電位が下がると、TFT103のゲート・ソース間電圧がVthNに等しくなり、TFT103がOFFする。この時点で、TFT104がまだONである場合でも、容量手段105に充電されている電荷は、TFT104を通して放電され、TFT104のゲート・ソース間電圧は引き続き低下するため、いずれOFFする。

【0030】これにより、容量手段105には、TFT104のしきい値電圧VthNが保持される。第1の入力端子(In1)はLレベルであり、その電位はVSSであるので、TFT101のゲート電極の電位は、VSSよりも容量手段105が保持している電圧分だけ高くなる。すなわちこのときのTFT101のゲート電極の電位は(VSS+VthN)である。出力端子(Out)にはLレベルが現れ、その電位はVSSとなっているので、TFT101のゲート・ソース間電圧はVthNであり、TFT101はOFFする(図3(A))。

【0031】続いて、第1の入力端子(In1)にHレベルが、第2の入力端子(In2)にLレベルが入力されるとき動作について説明する。まず、第2の入力端子(In2)はHレベルからLレベルとなるので、TFT102がOFFする。一方、第1の入力端子(In1)はLレベルからHレベルになる。このとき、TFT103はOFFした状態のままであるから、容量手段105に保持されている電荷の移動は生じない。また、TFT104については、ソース領域の電位は上昇するが、ゲート・ソース間電圧はVthNのままであるので、OFFした状態のままとなる。よって、第1の入力端子がLレベルからHレベルに変化しても、容量手段105の両電極間の電圧は保持されたままとなる。したがって、第1の入力端子(In1)の電位はVSSからVDDまで上昇するので、TFT101のゲート電極の電位は、(VSS+VthN)から(VDD+VthN)まで上昇する。よって、出力端子(Out)にHレベルが現れ、その電位はVDDに等しくなる(図3(B))。

【0032】以上の動作によって、VDD-VSS間の振幅を有する信号の入力に対し、振幅の減衰を生ずることなく、正常にVDD-VSS間の振幅を有する出力を得ることが出来る。よって、表示装置の駆動回路にこのような手法を用いることによって、単極性のTFTを用いて構成することが可能となり、工程削減、ならびに製造コストの低減に貢献する。

【0033】

【実施例】以下に、本発明の実施例について記載する。

【0034】[実施例1]図4は、図1に示した回路において、その接続を一部変更した構成を示している。図1において、TFT104の出力電極は、TFT101のゲート電極と接続されていたのに対し、図4においては、出力端子(Out)と接続されている。

【0035】回路の動作に関しては、実施形態にて説明したとおりの動作であるので、ここでは説明を省略するが、回路の構成として、TFT101のゲート電極について考えた際、図1に示した回路は、TFT103がOFFした後も、TFT104を通してある程度の電荷の移動が行えるのに対し、図4に示した回路は、TFT103がOFFした場合、TFT101のゲート電極にたまった電荷の移動経路がなくなるため、仮に回路を構成するTFTのしきい値にばらつきが生じた場合、TFT101のゲート・ソース間電圧がTFT101のしきい値に等しくなるまで降下しなくなる可能性がある。このような点を考慮して、TFT102の電流能力を、TFT101の電流能力に対して十分に大きくしておくことにより、TFT101が完全にOFFしない場合であっても、正常なLレベル出力が得られる。

【0036】[実施例2]本実施例においては、同一基板上に、画素部および、画素部周辺に設ける駆動回路のTFTを同時に作製する方法について説明する。なお、例として液晶表示装置の作製工程を挙げるが、本発明は前述のとおり、液晶表示装置に限定されない。

【0037】まず、図7(A)に示すように、コーニング社の#7059ガラスや#1737ガラス等に代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラス等からなる基盤5001上に酸化シリコン膜、窒化シリコン膜、または酸化窒化シリコン膜等の絶縁膜からなる下地膜5002を形成する。特に図示していないが、下地膜5002の形成については、例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜を10~200[nm](好ましくは50~100[nm])の厚さに形成し、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜を50~200[nm](好ましくは100~150[nm])の厚さに積層形成する。

【0038】続いて、島状の半導体層5003~5005は、非晶質構造を有する半導体膜を。レーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状の半導体層5003~5005の厚さは25~80[nm](好ましくは30~60[nm])として形成する。結晶質半導体層の材料には特に限定は無いが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金等で形成すると良い。

【0039】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレ

ーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光して半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合にはパルス発振周波数を30 [Hz]とし、レーザーエネルギー密度を100~400 [mJ/cm²] (代表的には200~300 [mJ/cm²])とする。また、YAGレーザーを用いる場合にはその第2高調波を用い、パルス発振周波数1~10 [kHz]とし、レーザーエネルギー密度を300~600 [mJ/cm²] (代表的には350~500 [mJ/cm²])とすると良い。そして幅100~1000 [μm]、例えば400 [μm]で線状に集光したレーザー光を基板全面に渡って照射し、このときの線状レーザーの重ねあわせ率(オーバーラップ率)を80~98 [%]として行う。

【0040】続いて、島状の半導体層5003~5005を覆うゲート絶縁膜5006を形成する。ゲート絶縁膜5006は、プラズマCVD法またはスパッタ法を用い、厚さを40~150 [nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120 [nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものではなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコンを用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40 [Pa]、基板温度300~400 [°C]とし、高周波(13.56 [MHz])電力密度0.5~0.8 [W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400~500 [°C]の熱アニールにより、ゲート絶縁膜として良好な特性を得ることが出来る。

【0041】そして、ゲート絶縁膜5006上にゲート電極を形成するための第1の導電膜5007と第2の導電膜5008とを積層形成する。本実施例では、第1の導電層5007をタンタル(Ta)で50~100 [nm]の厚さに形成し、第2の導電層5009をタングステン(W)で100~300 [nm]の厚さに形成する(図7(A))。

【0042】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、α相のTa膜の抵抗率は20 [μΩcm]程度でありゲート電極として使用することが出来るが、β相のTa膜の抵抗率は180 [μΩcm]程度でありゲート電極には不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造を有する窒化タンタル(TaN)を10~50 [nm]程度の厚さでTaの下地に形成しておくα相のTa膜を容易に得ることが出来る。

【0043】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他にも6フッ化タングステン(WF₆)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20 [μΩcm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害されて高抵抗化する。このことより、スパッタ法による場合、純度99.9999 [%]のWターゲットを用い、さらに製膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20 [μΩcm]を実現することが出来る。

【0044】なお、本実施例においては、第1の導電膜5007をTa、第2の導電膜5008をWとしたが、特に限定されず、いずれもTa、W、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成しても良い。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いても良い。本実施例以外の他の組み合わせの一例としては、第1の導電膜をTa₂N、第2の導電膜をWとする組み合わせ、第1の導電膜をTa₂N、第2の導電膜をAlとする組み合わせ、第1の導電膜をTa₂N、第2の導電膜をCuとする組み合わせ等が望ましい。

【0045】次に、レジストによるマスク5009を形成し、電極および配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively coupled plasma: 誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とC₁とを混合し、1 [Pa]の圧力でコイル型の電極に500 [W]のRF (13.56 [MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100 [W]のRF電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とC₁とを混合した場合にはW膜およびTa膜とも同程度にエッチングされる。

【0046】上記エッチング条件では、レジストによるマスクの形状に適したものとすることと、基板側に印加するバイアス電圧の効果とにより第1の導電膜および第2の導電膜の端部がテーパ形状となる。テーパ部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングを行うためには、10~20 [%]の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4 (代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50 [nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層5010a~5013aと第2の導電層5010b~5013bからなる第1の形状の導電層5010~5013を形成する。このとき、ゲ-

ト絶縁膜5006においては、第1の形状の導電層5010~5013で覆われない領域は20~50[nm]程度エッチングされて薄くなった領域が形成される(図7(B))。

【0047】そして、第1のドーピング処理を行い、N型を付与する不純物元素を添加する(図7(B))。ドーピング処理は、イオンドーピング法もしくはイオン注入法で行えば良い。イオンドープ法にあたっての条件は、ドーピング量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm²]とし、加速電圧を60~100 [keV]とする。N型を付与する不純物元素としては、15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではPを用いる。この場合、導電層5010~5013がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5014~5016が形成される。この第1の不純物領域5014~5016には、 $1 \times 10^{19} \sim 1 \times 10^{21}$ [atoms/cm²]の濃度範囲でN型を付与する不純物元素を添加する。

【0048】次に、第2のエッチング処理を行う(図7(C))。同様にICPエッチング法を用い、エッチング用ガスにCF₄とC₂F₆とO₂とを混合して、1 [Pa]の圧力でコイル型の電極に500 [W]のRF電力を供給し、プラズマを生成して行う。基板側(試料ステージ)にも50 [W]のRF電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件により第2の導電層であるWを異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTaを異方性エッチングして第2の形状の導電層5017~5020(第1の導電層5017a~5020aおよび第2の導電層5017b~5020b)を形成する。このとき、ゲート絶縁膜5006においては、第2の形状の導電層5017~5020で覆われない領域はさらに20~50[nm]程度エッチングされて薄くなった領域が形成される。

【0049】W膜やTa膜のCF₄とC₂F₆の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆の蒸気圧が極端に高く、その他のWC₂F₆、TaF₅、TaCl₅については同程度である。従って、CF₄とC₂F₆の混合ガスでは、W膜およびTa膜共にエッチングされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとF₂になり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても、相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O₂を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないため、さらにTa膜のエッチング速度は低下する

こととなる。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となる。

【0050】そして、第2のドーピング処理を行う(図7(C))。この場合、第1のドーピング処理よりもドーピング量を下げて高い加速電圧の条件としてN型を付与する不純物元素ドーピングする。例えば、加速電圧を70~120 [keV]とし、 1×10^{13} [atoms/cm²]のドーピング量で行い、図7(B)で島状の半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の導電層5017b~5020bを不純物元素に対するマスクとして用い、第1の導電層5017a~5020aの下側の領域にも不純物元素が添加されるようにしてドーピングする。こうして、第1の導電層と重なる第2の不純物領域5021~5023が形成される。

【0051】続いて、第3のエッチング処理を行う(図8(A))。ここでは、エッチング用ガスにC₂F₆を用い、ICPエッチング装置を用いて行う。本実施例では、C₂F₆のガス流量比を60 [sccm]とし、1 [Pa]の圧力でコイル型の電極に350 [W]のRF電力を投入してプラズマを生成してエッチングを70秒行った。基板側(試料ステージ)にもRF電力を投入し、実質的に負の自己バイアス電圧を印加する。第3のエッチングにより、第1の導電層が後退して第3の形状の導電層5024~5027(第1の導電層5024a~5027aおよび第2の導電層5024b~5027b)が形成され、第2の不純物領域5021~5023の一部は、第1の導電層と重ならない第3の不純物領域5028~5030となる。

【0052】以上までの工程でそれぞれの島状の半導体層に不純物領域が形成される。島状の半導体層と重なる第3の形状の導電層5024~5027が、TFETのゲート電極として機能する。

【0053】続いて、導電型の制御を目的として、それぞれの島状の半導体層に添加された不純物元素を活性化させる工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、ラビッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1 [ppm]以下、好ましくは0.1 [ppm]以下の窒素雰囲気中で400~700 [°C]、代表的には500~600 [°C]で行うものであり、本実施例では500 [°C]で4時間の熱処理を行う。ただし、5024~5027に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で熱活性化を行うことが望ましい。

【0054】さらに、3~100 [%]の水素を含む雰囲気中で、300~450 [°C]で1~12時間の熱処理を行い、島状の半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリン

グボンドを終端する工程である。水素化するための、熱水素化の他の方法として、プラズマ水素化(プラズマにより励起された水素を用いる)によって行っても良い。

【0055】次いで、図8(B)に示すように、第1の層間絶縁膜5031を、酸化窒化シリコン膜で100~200[nm]の厚さで形成する。その上に有機絶縁物材料からなる第2の層間絶縁膜5032を形成した後、第1の層間絶縁膜5031、第2の層間絶縁膜5032、およびゲート絶縁膜5006に対してコンタクトホールを開口し、配線材料による膜を形成して各配線5033~5036、および画素電極5037をパターンニング形成する。

【0056】第2の層間絶縁膜5032としては、ポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等の有機樹脂を材料とする膜を用いる。特に、第2の層間絶縁膜5032は平坦化の意味合いが強いので、平坦性に優れたアクリルが望ましい。本実施例ではTF Tによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1~5[μm](さらに好ましくは2~4[μm])とすれば良い。

【0057】コンタクトホールの形成は、ドライエッチングまたはウェットエッチング法を用い、N型の不純物領域5014~5016、およびソース信号線(図示せず)、ゲート信号線(図示せず)、電流供給線(図示せず)およびゲート電極5024~5026に達する(図示せず)コンタクトホールをそれぞれ形成する。

【0058】また、配線5033~5036として、Ti膜を100[nm]、Tiを含むAl膜を300[nm]、Ti膜を150[nm]、スパッタ法で連続形成した3層積層の膜を所望の形状にパターンニングして形成する。勿論、他の導電性材料を用いても良い。画素電極5037については、表示装置を反射型とする場合には、反射性の高い材料にて形成する。この場合、配線と同時に形成しても良い。一方、透過型である場合には、酸化インジウム錫(Indium Tin Oxide: ITO)等の透明導電性材料を用いて形成する。図8(B)の状態まで完了したものを、本明細書ではアクティブマトリクス基板と呼ぶ。

【0059】続いて、対向基板5038を用意する。対向基板5038には、遮光膜5039が形成される。この遮光膜は、クロム(Cr)等を用いて、100[nm]~200[nm]の厚さで形成する。

【0060】一方、画素部においては対向電極5040が形成される。対向電極は、ITO等の透明導電性材料を用いて形成する。また、可視光の透過率を高く保つために、対向電極の膜厚は100[nm]~120[nm]で形成することが望ましい。

【0061】アクティブマトリクス基板と対向基板とに、配向膜5041、5042を形成する。配向膜5041、5042の膜厚は、30[nm]~80[nm]が望ましい。また、配向膜としては、例えば日産化学社製SE7

792等を用いることが出来る。プレチルト角の高い配向膜を用いると、アクティブマトリクス方式により駆動される液晶表示装置の駆動時に、ディスクリネーションの発生を抑制することが出来る。

【0062】続いて、配向膜5041、5042をラビングする。ラビング方向は、液晶表示装置が完成したときに、左巻きのTN(Twisted Nematic)配向となるようにするのが望ましい。

【0063】本実施例においては特に図示していないが、スペーサを画素内に散布もしくはバターニングにより形成して、セルギャップの均一性を向上させることも可能である。本実施例においては、感光性樹脂膜を製膜、バターニングして、4.0[μm]の高さのスペーサを形成した。

【0064】続いて、シール剤5043により、アクティブマトリクス基板と対向基板とを貼り合わせる。シール剤としては、熱硬化型のシール剤である三井化学社製XN-21Sを用いた。シール剤中にはフィラーを混入する。なお、フィラーの高さは4.0[μm]とする。その後、シール剤が硬化した後に、アクティブマトリクス基板と対向基板とを、所望のサイズに同時に分断する。

【0065】続いて、液晶5044を注入する。液晶材料としては、高速応答性等を考慮すると、低粘度のものが望ましい。本実施例においては、配向制御の容易なネマチック液晶を用いる。勿論、高速応答が可能な強誘電性液晶、反強誘電性液晶を用いても良い。

【0066】液晶の注入が終了したのち、注入口をUV硬化型樹脂等を用いて封止する。その後、公知の方法により偏光板を貼り付ける。最後に、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する(図8(C))。このような出荷出来る状態にまでした状態を本明細書中では液晶表示装置と呼ぶ。

【0067】また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を4枚(島状半導体層パターン、第1配線パターン(ゲート配線、島状のソース配線、容量配線)、コンタクトホールパターン、第2配線パターン(画素電極、接続電極含む))とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0068】なお、本実施例においては、TF Tの型式としてはトップゲート型TF Tを例に挙げて説明しているが、その他に、図5(A)に示すような活性層の下側にゲート電極を形成したボトムゲート型TF T、あるいは図5(B)に示すような、活性層を挟み込むように、上下にゲート電極を有するデュアルゲート型TF Tを用いても実施が可能である。

【0069】[実施例3]実施例2に示した工程は、画素

および周辺の駆動回路をNチャネル型TFTを用いて構成する場合の例として説明したが、本発明はPチャネル型TFTを用いての実施も可能である。

【0070】Nチャネル型TFTの場合、ホットキャリア劣化等の抑制のため、ゲート電極と重なる領域に、オーバーラップ領域と呼ばれる不純物領域を設けている。これに対してPチャネル型TFTの場合は、ホットキャリア劣化による影響が小さいので、特にオーバーラップ領域を設ける必要はなく、この場合、より簡単な工程で作製することが可能である。

【0071】図9(A)に示すように、実施例4に従って、ガラス等の絶縁基板6001上に下地膜6002を形成し、次いで島状の半導体層6003～6005、ゲート絶縁膜6006、導電層6007、6008を形成する。ここで、導電層6007、6008は、ここでは積層構造としているが、特に単層であっても構わない。

【0072】次いで、図9(B)に示すように、レジストによるマスク6009を形成し、第1のエッチング処理を行う。実施例4においては、積層構造とした導電層の材質による選択比を利用して、異方性エッチングを行ったが、ここでは特にオーバーラップ領域となる領域を設ける必要はないので、通常エッチングにて行えば良い。このとき、ゲート絶縁膜6006においては、エッチングによって20[nm]～50[nm]程度薄くなった領域が形成される。

【0073】続いて、島状の半導体層にP型を付与する不純物元素を添加するための第1のドーピング処理を行う。導電層6010～6013を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。P型を付与する不純物元素としては、ボロン(B)等が代表的である。ここでは、ジボラン(B₂H₆)を用いたイオンドーピング法で形成し、半導体層中の不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21}$ [atoms/cm³]となるようにする。

【0074】レジストによるマスクを除去して、図9(C)の状態を得る。以後、実施例2における図8(B)以降の工程に従って作製する。これにより、Pチャネル型TFTを用いて本発明が実施出来る。

【0075】なお、回路の構成については、図1に示したような、Nチャネル型TFTを用いて構成する場合と同様であるが、電源については、図1において、高電位側電源VDDと、低電位側電源VSSとを入れ替えた接続となる。

【0076】[実施例4]本実施例においては、画素部にEL素子を始めた発光素子を用いる発光装置の作製工程について説明する。

【0077】実施例2に示した作製工程に従い、図8(A)～図8(B)に示すように、第1および第2の層間絶縁膜までを形成する。

【0078】続いて、図10(A)に示すように、コンタクトホールを開口する。コンタクトホールの形状は、ド

ライエッチングまたはウェットエッチング法を用い、不純物領域、ソース信号線、ゲート信号線、電流供給線、およびゲート電極に達するようにそれぞれ形成する。

【0079】次に、EL素子の陽極7001として、ITO等を代表とする透明導電膜を成膜し、所望の形状にパターニングする。Ti、Tiを含むAlおよびTiでなる積層膜を成膜し、所望の形状にパターニングして、配線電極7002～7005および画素電極7006を形成する。各層の膜厚は、実施例2と同様で良い。画素電極7006は、先に形成した陽極7001と重なるように形成してコンタクトを取っている。

【0080】続いて、アクリル等の有機樹脂材料等である絶縁膜を形成し、EL素子の陽極7001に対応する位置に開口部を形成して第3の層間絶縁膜7007を形成する。ここで、開口部を形成する際、なだらかなテーパー形状の側壁とすることが望ましい。開口部の側壁が十分になだらかなテーパー形状となっていない場合、段差に起因するEL層の劣化、段切れ等が顕著な問題となるため、注意が必要である。

【0081】次に、EL層7008を形成した後、EL素子の陰極7009を、セシウム(Cs)を2[nm]以下の厚さで、および銀(Ag)を10[nm]以下の厚さで形成する。EL素子の陰極7009の膜厚を極めて薄くすることにより、EL層で発生した光は陰極7009を透過して出射される。

【0082】次いで、EL素子の保護を目的として、保護膜7010を成膜する。その後、FPCの貼付等の作業を行った後、発光装置が完成する。

【0083】本実施例において、図10(A)に示した発光装置におけるEL素子の構成の詳細を図10(B)に示す。EL素子の陽極7101は、ITOを代表とする透明導電膜である。7102は発光層を含むEL層である。EL素子の陰極は、いずれも極めて薄く形成されたCs膜7103およびAg膜7104である。7105が保護膜である。

【0084】EL素子の陰極側を、極めて薄い膜厚で形成することにより、EL層7102で発生した光は、陰極7103、7104を透過して上方に出射される。つまり、TFTが形成されている領域が、発光面の面積を圧迫することがないため、開口率をほぼ100[%]とすることが出来る。

【0085】なお、ここでは出射方向は陰極を形成した側であるので、ITOにて形成した陽極側への光透過をさせたくない場合には、第2の層間絶縁膜7000を、黒色等の不透明な膜とするのが望ましい。

【0086】以上の工程では、EL層の上側を陰極、下側を陽極とした構成について説明したが、EL層の下側の画素電極をTiN等で形成し、EL層の上側の電極をITO等で形成することによって、EL層の上側を陽極、EL層の下側を陰極とすることも可能である。

【0087】また、開口率はやや低下するが、EL層の下側を陽極、EL層の上側を陰極とし、EL層の下側の電極をITO等で形成し、EL層の上側の電極については、本実施例とは異なり、MgAg等を用いて形成することによって、EL層で発生した光を、TFTが形成されている基板側、すなわち下方に射出させる型式とすることも勿論可能である。

【0088】[実施例5]本実施例においては、実施例4とは異なる方法によって発光装置を作製する工程について説明する。

【0089】実施例2に示した作製工程に従い、図8(A)～図8(B)に示すように、第1および第2の層間絶縁膜までを形成する。

【0090】続いて、図11(A)に示すように、コンタクトホールを開口する。コンタクトホールの形状は、ドライエッチングまたはウェットエッチング法を用い、N型の不純物領域、ソース信号線、ゲート信号線、電流供給線、およびゲート電極に達するようにそれぞれ形成する。

【0091】次に、配線7201～7204、およびEL素子の陽極となる画素電極7205を、Ti膜、Tiを含むAl膜、Ti膜、および透明導電膜の積層膜として形成する。

【0092】続いて、アクリル等の有機樹脂材料等である絶縁膜を形成し、EL素子の陽極7205に対応する位置に開口部を形成して第3の層間絶縁膜7206を形成する。ここで、開口部を形成する際、なだらかなテーパー形状の側壁とすることが望ましい。開口部の側壁が十分になだらかなテーパー形状となっていない場合、段差に起因するEL層の劣化、段切れ等が顕著な問題となるため、注意が必要である。

【0093】次に、EL層7207を形成した後、EL素子の陰極7208を、セシウム(Cs)を2[nm]以下の厚さで、および銀(Ag)を10[nm]以下の厚さで形成する。EL素子の陰極7009の膜厚を極めて薄くすることにより、EL層で発生した光は陰極7009を透過して射出される。

【0094】次いで、EL素子の保護を目的として、保護膜7209を成膜する。その後、FPCの貼付等の作業を行った後、発光装置が完成する。

【0095】本実施例において、図11(A)に示した発光装置におけるEL素子の構成の詳細を図11(B)に示す。EL素子の陽極は、Ti、Al、Tiの積層膜である金属膜7301および、ITOを代表とする透明導電膜7302である。7303は発光層を含むEL層である。EL素子の陰極は、いずれも極めて薄く形成されたCs膜7304およびAg膜7305である。7306が保護膜である。

【0096】本実施例で作製した発光装置は、実施例6に示した発光装置と同様、開口率をほぼ100[%]と出

来る利点を有する。さらに、配線電極および画素電極の形成において、Ti、Al、Tiの積層膜である金属膜と、透明導電膜とを共通のフォトリソマスクを用いてパターニングを行うことが可能であり、フォトリソマスクの削減、および工程の簡略化が可能となる。

【0097】以上の工程では、EL層の上側を陰極、下側を陽極とした構成について説明したが、EL層の下側の画素電極をTiN等で形成し、EL層の上側の電極をITO等で形成することによって、EL層の上側を陽極、EL層の下側を陰極とすることも可能である。

【0098】また、開口率はやや低下するが、EL層の下側を陽極、EL層の上側を陰極とし、EL層の下側の電極をITO等で形成し、EL層の上側の電極については、本実施例とは異なり、MgAg等を用いて形成することによって、EL層で発生した光を、TFTが形成されている基板側、すなわち下方に射出させる型式とすることも無論可能である。

【0099】[実施例6]本発明は、Pチャネル型TFTを用いても実施が可能である。本実施例では、その構成と動作について説明する。

【0100】図13(A)に構成を示す。回路は、TFT1301～1304および容量手段1305によって構成された2入力1出力型のインバータであり、入力端子(In)に入力された信号の極性が反転した信号が出力端子(Out)に現れる。

【0101】回路の動作について説明する。まず、第1の入力端子(In1)にHレベルが、第2の入力端子(In2)にLレベルが入力されると、TFT1302がONし、出力端子(Out)の電位がVDD側に引き上げられ始める。この時点では、出力端子(Out)の電位はHレベルまで上がりきっていないことから、TFT1303はONしており、容量手段1305から出力端子(Out)に向かって電流が生じ、TFT1304のゲート電極の電位が下がるため、TFT1304もONする。さらに出力端子(Out)の電位が上がると、TFT1303のゲート・ソース間電圧がVthPに等しくなり、TFT1303がOFFする。この時点で、TFT1304がまだONである場合でも、容量手段1305に充電されている電荷は、TFT1304を通して放電され、TFT1304のゲート・ソース間電圧は引き続き小さくなっていくため、やがてOFFする。

【0102】これにより、容量手段1305には、TFT1304のしきい値電圧VthPが保持される。第1の入力端子(In1)はHレベルであり、その電位はVDDであるので、TFT1301のゲート電極の電位は、VDDよりも容量手段1305が保持している電圧分だけ低くなる。すなわちこのときのTFT1301のゲート電極の電位は(VDD-VthP)である。出力端子(Out)にはHレベルが現れ、その電位はVDDとなっているので、TFT1301のゲート・ソース間電圧は

10

20

30

40

50

V_{thP}であり、TFT1301はOFFする。

【0103】続いて、第1の入力端子(In1)にLレベルが、第2の入力端子(In2)にHレベルが入力される
ときの動作について説明する。まず、第2の入力端子
(In2)はLレベルからHレベルとなるので、TFT1
302がOFFする。一方、第1の入力端子(In1)は
HレベルからLレベルになる。このとき、TFT130
3はOFFした状態のままであるから、容量手段130
5に保持されている電荷の移動は生じない。また、TF
T1304については、ソース領域の電位は降下する
が、ゲート・ソース間電圧はV_{thP}のままであるの
で、OFFした状態のままとなる。よって、第1の入力
端子がHレベルからLレベルに変化しても、容量手段1
305の両電極間の電圧は保持されたままとなる。したが
って、第1の入力端子(In1)の電位はVDDからV
SSまで降下するので、TFT1301のゲート電極の
電位は、(VDD-V_{thP})から(VSS-V_{thP})ま
で降下する。よって、出力端子(Out)にLレベルが現
れ、その電位はVSSに等しくなる。

【0104】以上の動作によって、Pチャンネル型TFT
によって構成した場合にも、VDD-VSS間の振幅を
有する信号の入力に対し、振幅の減衰を生ずることな
く、正常にVDD-VSS間の振幅を有する出力を得る
ことが出来る。

【0105】[実施例7]本発明は、様々な電子機器に用
いられている表示装置の作製に適用が可能である。この
ような電子機器には、携帯情報端末(電子手帳、モバイ
ルコンピュータ、携帯電話等)、ビデオカメラ、デジタ
ルカメラ、パーソナルコンピュータ、テレビ、携帯電話
等が挙げられる。それらの一例を図6に示す。

【0106】図6(A)は液晶ディスプレイもしくはOLE
Dディスプレイであり、筐体3001、支持台300
2、表示部3003等により構成されている。本発明
は、表示部3003を有する表示装置の駆動回路に適用
が可能である。

【0107】図6(B)はビデオカメラであり、本体30
11、表示部3012、音声入力部3013、操作スイ
ッチ3014、バッテリー3015、受像部3016等
により構成されている。本発明は、表示部3012を有
する表示装置の駆動回路に適用が可能である。

【0108】図6(C)はノート型のパーソナルコンピュ
ータであり、本体3021、筐体3022、表示部30
23、キーボード3024等により構成されている。本
発明は、表示部3023を有する表示装置の駆動回路に
適用が可能である。

【0109】図6(D)は携帯情報端末であり、本体30
31、スタイラス3032、表示部3033、操作ボタ
ン3034、外部インターフェイス3035等により構
成されている。本発明は、表示部3033を有する表示
装置の駆動回路に適用が可能である。

【0110】図6(E)は音響再生装置、具体的には車載
用のオーディオ装置であり、本体3041、表示部30
42、操作スイッチ3043、3044等により構成さ
れている。本発明は表示部3042を有する表示装置の
駆動回路に適用が可能である。また、本実施例では車載
用オーディオ装置を例に挙げたが、携帯型もしくは家庭
用のオーディオ装置に用いても良い。

【0111】図6(F)はデジタルカメラであり、本体3
051、表示部(A)3052、接眼部3053、操作ス
イッチ3054、表示部(B)3055、バッテリー30
56等により構成されている。本発明は、表示部(A)3
052および表示部(B)3055を有する表示装置の駆
動回路に適用が可能である。

【0112】図6(G)は携帯電話であり、本体306
1、音声出力部3062、音声入力部3063、表示部
3064、操作スイッチ3065、アンテナ3066等
により構成されている。本発明は、表示部3064を有
する表示装置の駆動回路に適用が可能である。

【0113】なお、本実施例に示した例はごく一例であ
り、これらの用途に限定するものではないことを付記す
る。

【発明の効果】

【0114】本発明の回路によって、VDD-VSS間
の振幅を有する信号の入力に対し、振幅の減衰を生ず
ることなく、正常にVDD-VSS間の振幅を有する出力
を得ることが出来る。よって、表示装置の駆動回路にこ
のような手法を用いることによって、単極性のTFTを
用いて構成することが可能となり、工程削減、ならびに
製造コストの低減に貢献する。

【図面の簡単な説明】

【図1】 本発明の一実施形態である回路構成および
動作を説明する図。

【図2】 単極性TFTを用いて構成したインバータ
および動作を説明する図。

【図3】 本発明の実施形態において、回路動作時の
各ノードの電位を説明する図。

【図4】 実施形態とは異なる構成による本発明の実
施例を示す図。

【図5】 ボトムゲート型TFTおよびデュアルゲー
ト型TFTの断面構成を説明する図。

【図6】 本発明が適用可能な電子機器の例を示す
図。

【図7】 液晶表示装置の作製工程例を示す図。

【図8】 液晶表示装置の作製工程例を示す図。

【図9】 Pチャンネル型TFTでなる回路を有するア
クティブマトリクス基板の作製工程例を示す図。

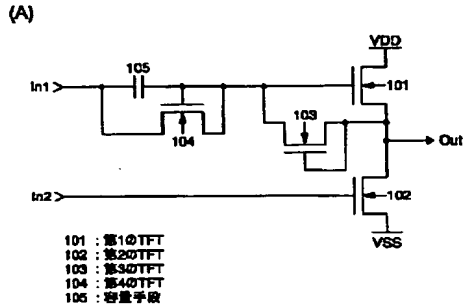
【図10】 発光装置の作製工程例を示す図。

【図11】 発光装置の作製工程例を示す図。

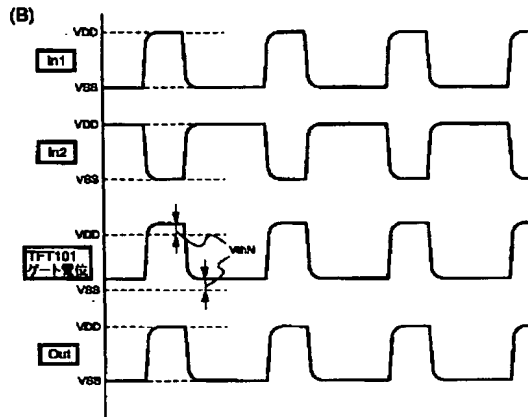
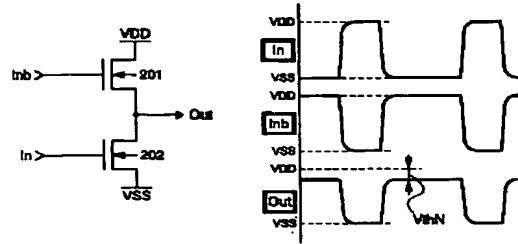
【図12】 単極性TFTを用いて構成したインバー
タを複数段接続した構成と、その動作を説明する図。

【図13】 本発明の駆動回路をPチャネル型TFT* *を用いて構成した例を示す図。

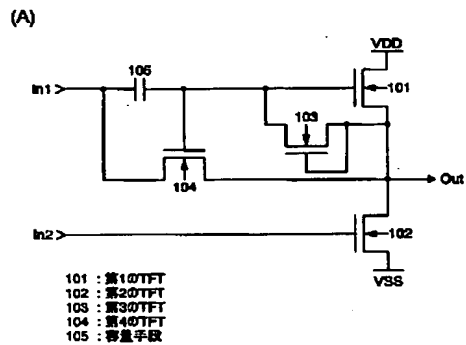
【図1】



【図2】

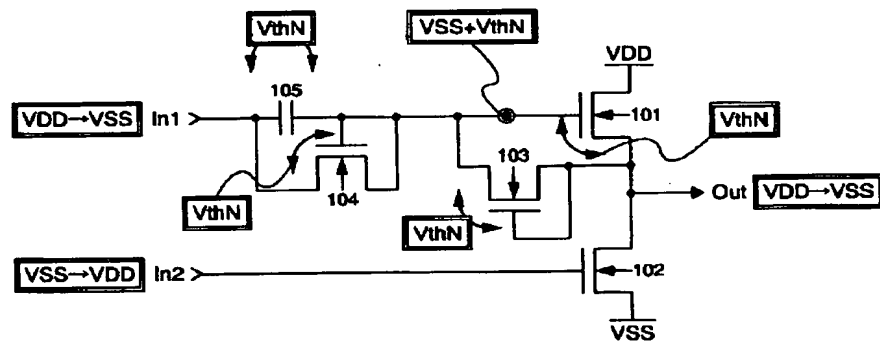


【図4】

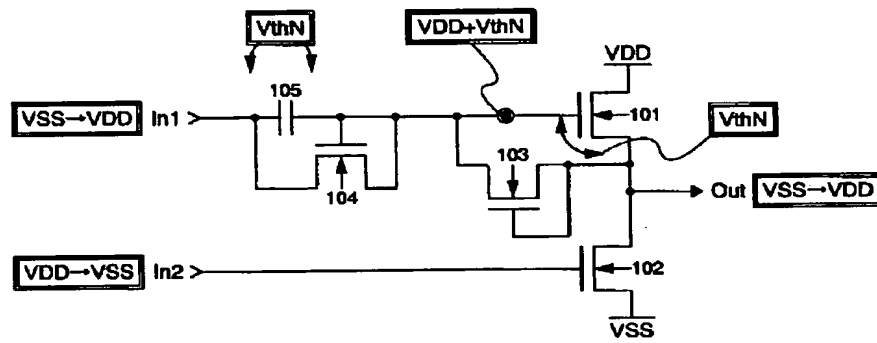


【図3】

(A)

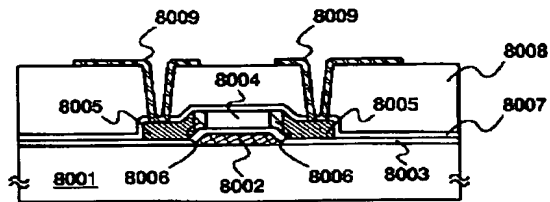


(B)



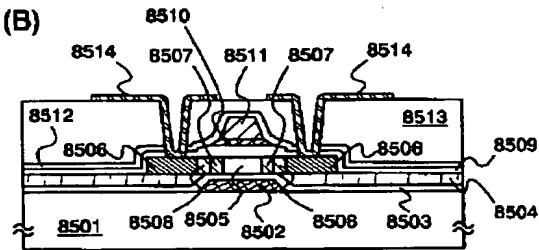
【図5】

(A)



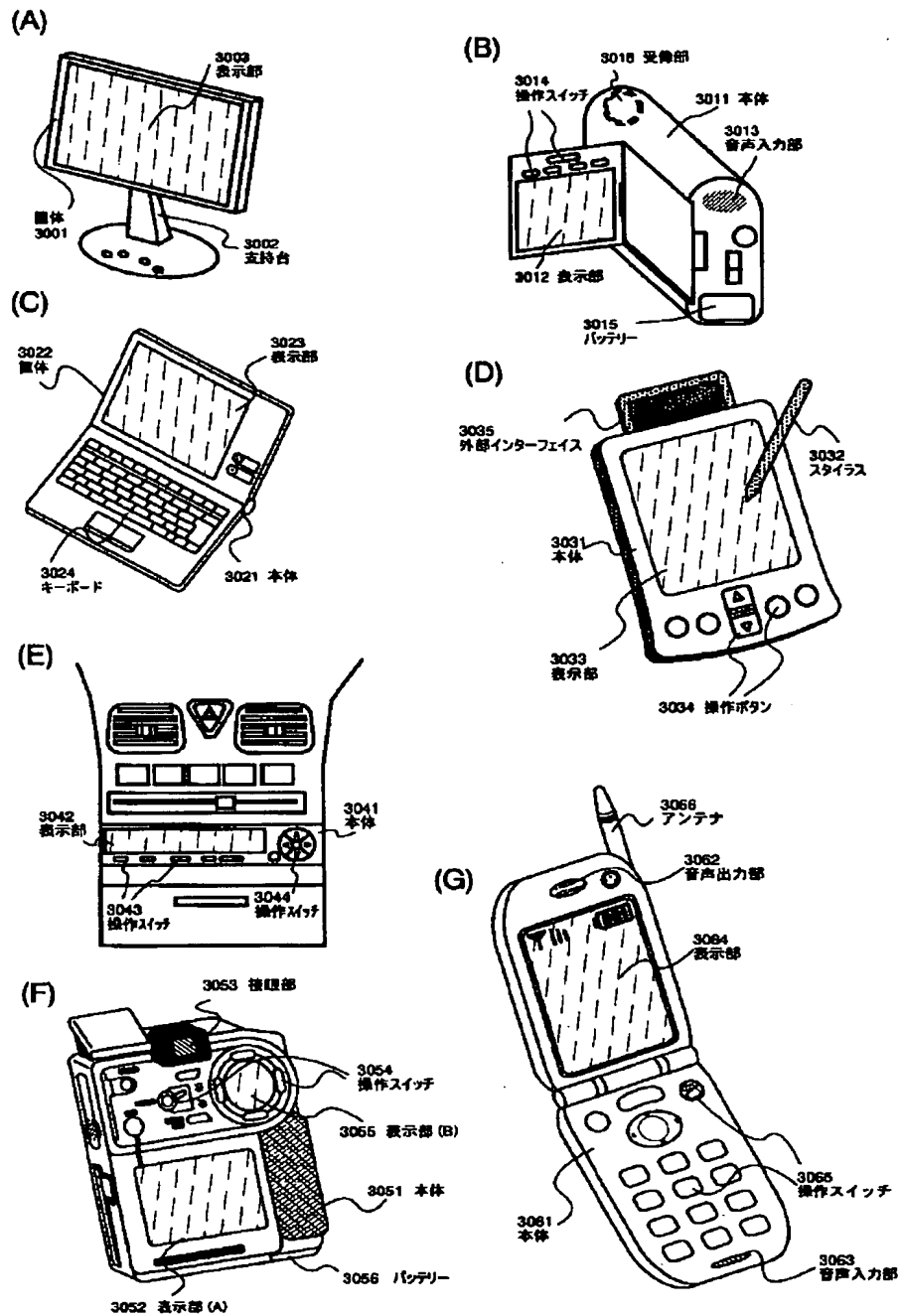
- 8001 : 基板
- 8002 : ゲート電極
- 8003 : ゲート絶縁膜
- 8004 : 半導体層
- 8005 : 第1の不純物領域
- 8006 : 第2の不純物領域 (GOLD領域)
- 8007 : 第1の層間絶縁膜
- 8008 : 第2の層間絶縁膜
- 8009 : 配線

(B)



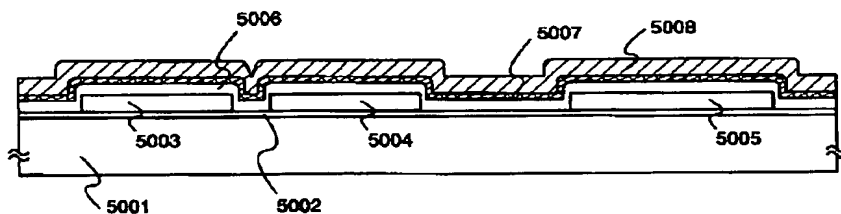
- 8501 : 基板
- 8502 : 第1のゲート電極
- 8503 : 第1のゲート絶縁膜
- 8504 : 平坦化膜
- 8505 : 半導体層
- 8506 : 第1の不純物領域
- 8507 : 第2の不純物領域 (GOLD領域)
- 8508 : 第3の不純物領域 (LDD領域)
- 8509 : 第2のゲート電極
- 8510 : 第1の導電層 (第2のゲート電極)
- 8511 : 第2の導電層 (第2のゲート電極)
- 8512 : 第1の層間絶縁膜
- 8513 : 第2の層間絶縁膜
- 8514 : 配線

【図6】

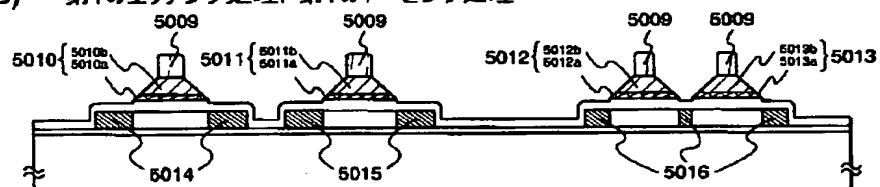


【図7】

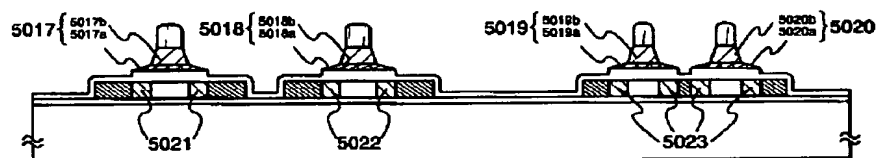
(A) 島状半導体層、ゲート絶縁膜、ゲート電極用第1・第2の導電膜形成



(B) 第1のエッチング処理、第1のドーピング処理



(C) 第2のエッチング処理、第2のドーピング処理

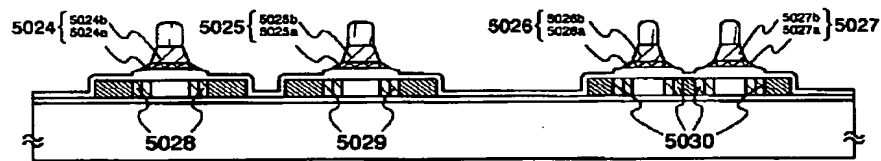


5001 : 基板
 5002 : 下地膜
 5003～5005 : 島状の半導体層
 5006 : ゲート絶縁膜
 5007 : 第1の導電膜
 5008 : 第2の導電膜
 5009 : レジストマスク
 5010～5013 : 第1の形状の導電層
 5010a～5013a : 第1の導電層
 5010b～5013b : 第2の導電層

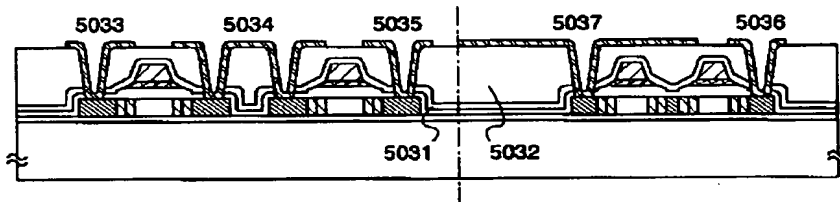
5014～5016 : 第1の不純物領域
 5017～5020 : 第2の形状の導電層
 5017a～5020a : 第1の導電層
 5017b～5020b : 第2の導電層
 5021～5023 : 第2の不純物領域

【図8】

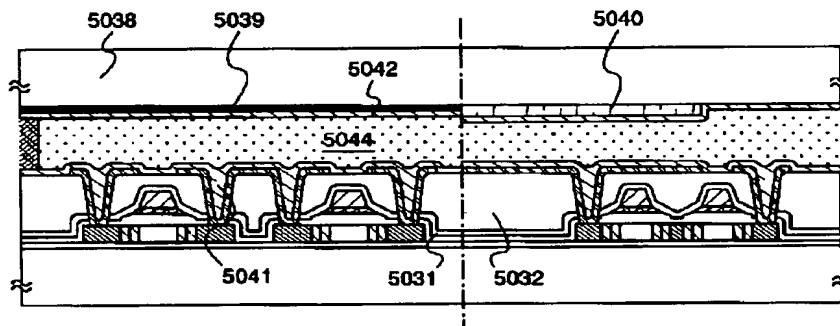
(A) 第3のエッチング処理



(B) 第1, 第2の層間絶縁膜, 配線形成



(C) 対向基板側電極形成, 液晶封入

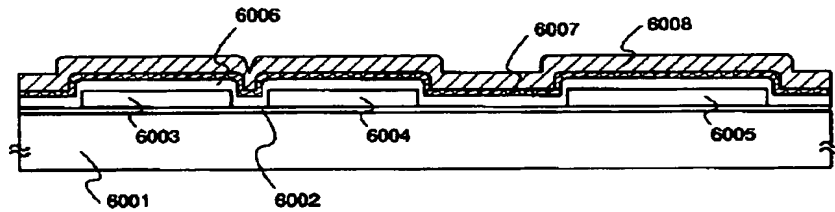


5024~5027 : 第3の形状の導電層
 5024a~5027a : 第1の導電層
 5024b~5027b : 第2の導電層
 5028~5030 : 第3の不純物領域
 5031 : 第1の層間絶縁膜
 5032 : 第2の層間絶縁膜
 5033~5036 : 配線

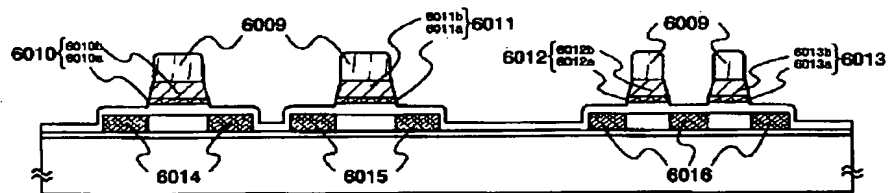
5037 : 画素電極
 5038 : 対向基板
 5039 : 遮光膜
 5040 : 対向電極
 5041~5042 : 配向膜
 5043 : シール剤
 5044 : 液晶

【図9】

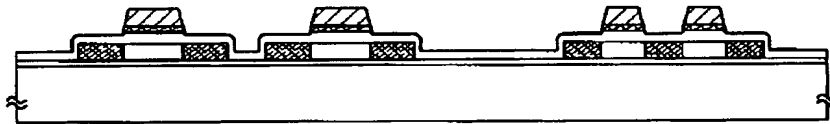
(A) 島状半導体層、ゲート絶縁膜、ゲート電極用第1・第2の導電膜形成



(B) 第1のエッチング処理、第1のドーピング処理



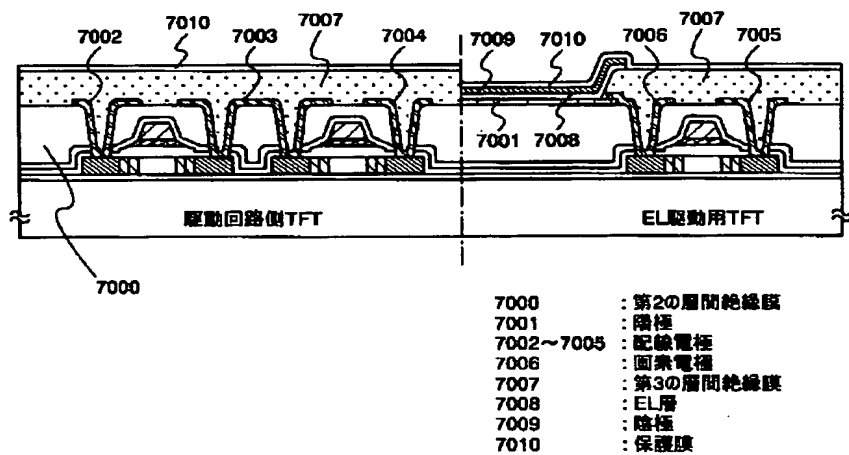
(C)



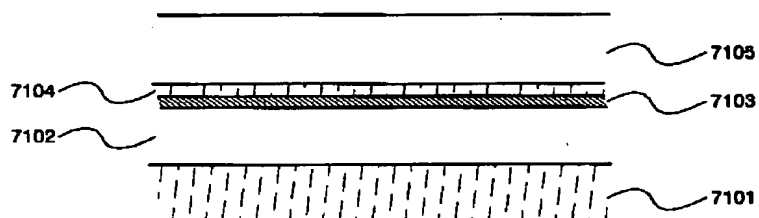
- | | | | |
|-----------|-----------|-------------|-------------|
| 6001 | : 基板 | 6010~6013 | : 第1の形状の導電層 |
| 6002 | : 下地膜 | 6010a~6013a | : 第1の導電層 |
| 6003~6005 | : 島状の半導体層 | 6010b~6013b | : 第2の導電層 |
| 6006 | : ゲート絶縁膜 | 6014~6016 | : 第1の不純物領域 |
| 6007 | : 第1の導電層 | | |
| 6008 | : 第2の導電層 | | |
| 6009 | : レジストマスク | | |

【図10】

(A) 配線、第3の層間絶縁膜、EL層形成

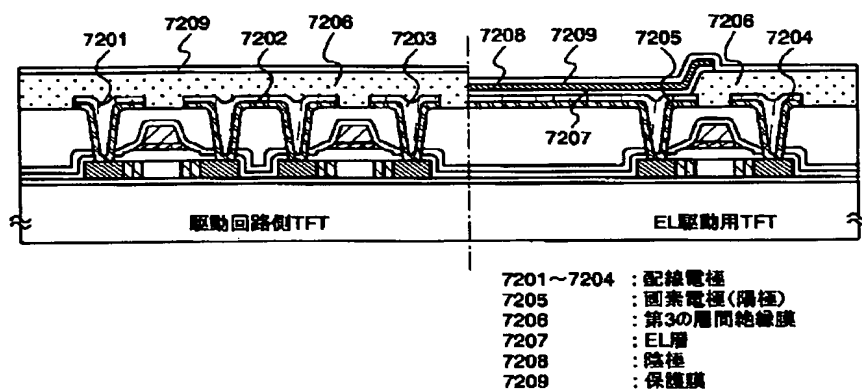


(B)

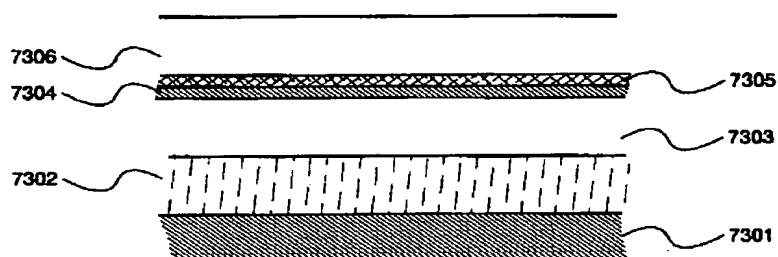


【図11】

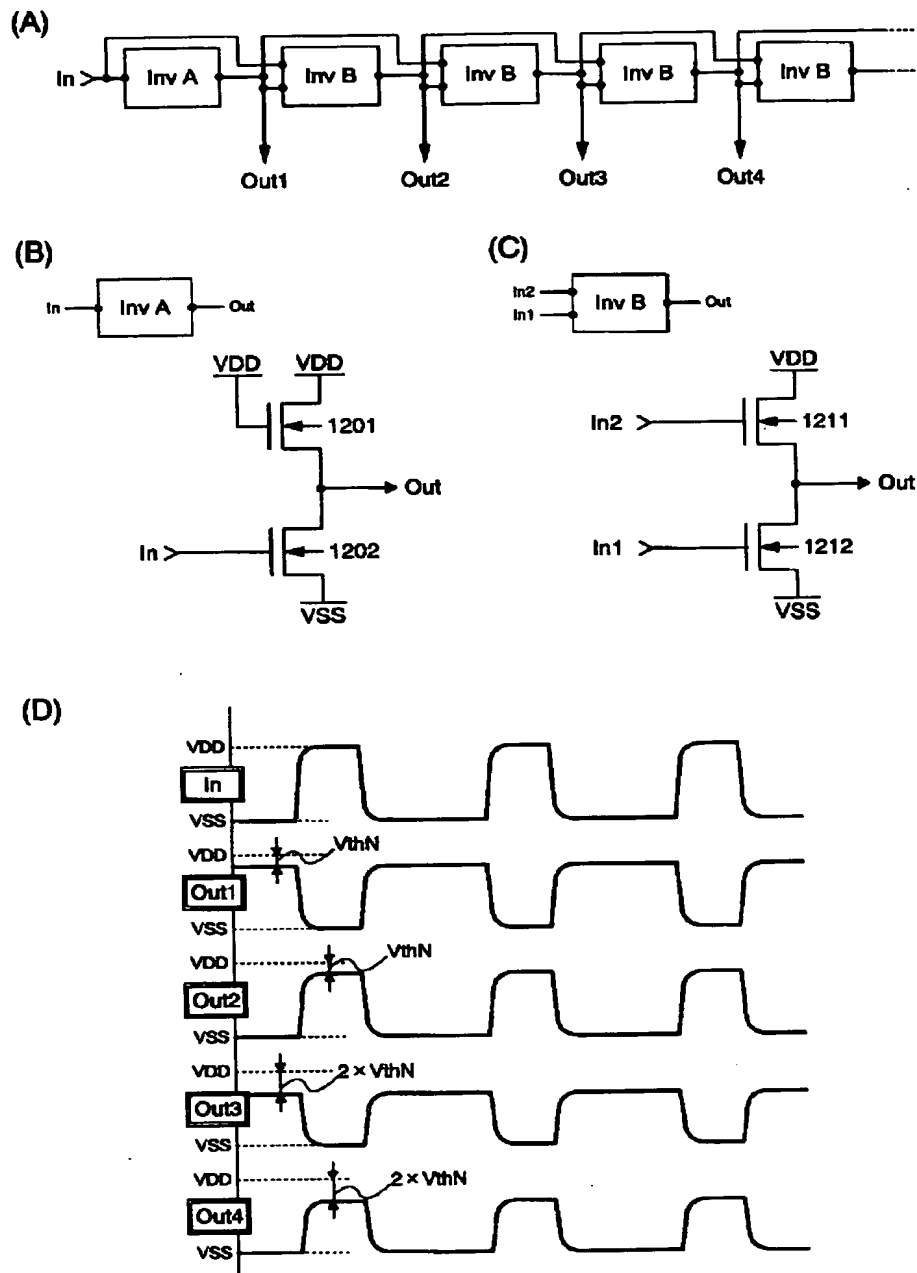
(A) 配線、第3の層間絶縁膜、EL層形成



(B)

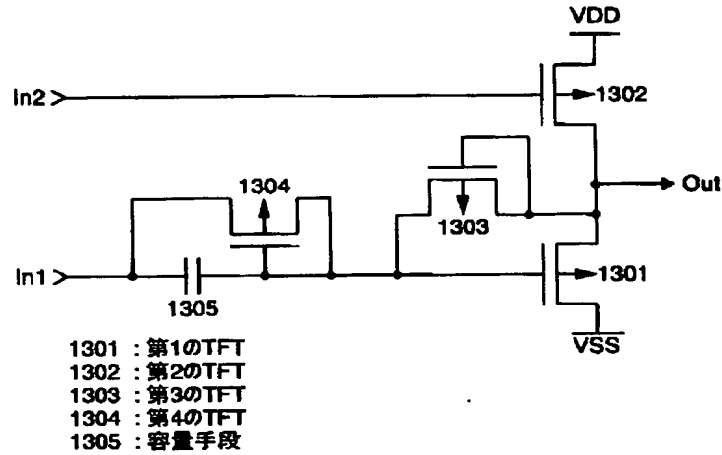


【図12】

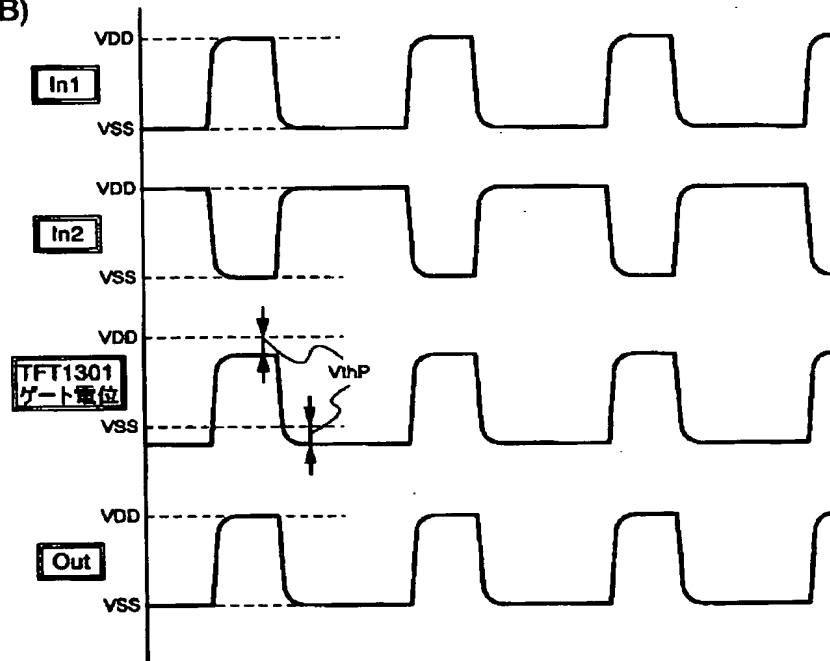


【図13】

(A)



(B)



フロントページの続き

F ターム(参考) 2H093 NB07 NB11 NC33 NC34 NC35
ND54
5C006 AC11 AC21 AC22 AC24 BB16
BC06 BF34 BF37 FA52
5C080 AA06 AA10 BB05 DD27 FF11
JJ03 JJ04 JJ06
5F110 AA16 BB02 BB03 CC02 CC07
CC10 DD02 DD13 DD14 DD15
EE01 EE04 EE14 EE15 EE23
EE44 FF02 FF03 FF04 FF28
FF30 GG01 GG02 GG13 GG25
HJ04 HJ12 HJ13 HJ23 HL03
HL04 HL12 HL27 HM15 NN22
NN27 NN72 PP03 QQ24 QQ25
5J056 AA05 BB17 BB59 CC29 DD26
DD27 DD51 FF08 GG09 KK02